



(19)

(11) Publication number:

06059977 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 04229132

(51) Intl. Cl.: G06F 12/08

(22) Application date: 05.08.92

(30) Priority:

(43) Date of application  
publication: 04.03.94(84) Designated  
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: IWATA EIJI

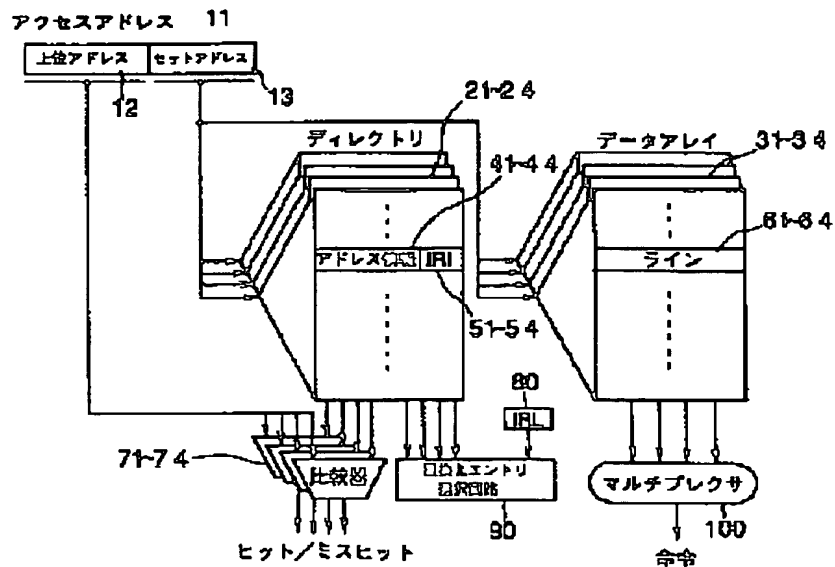
(74) Representative:

**(54) CACHE MEMORY  
CAPABLE OF EXECUTING  
INDICATIVE LINE  
SUBSTITUTING OPERATION  
AND ITS CONTROL METHOD**

(57) Abstract:

**PURPOSE:** To provide a cache memory capable of executing indicative line substituting operation without increasing execution time even when instruction size is increased and its control method.

**CONSTITUTION:** An instruction substitution priority order specifying field is included in a processor instruction set, a data substitution priority order specifying field is included in a processor loading/storing instruction set, substitution priority order information 51 to 54 are included in respective entries of the cache memory, and at the time of substituting the lines of an instruction or data in the cache memory, the instruction substitution priority order specifying field and the data substitution priority order specifying field in the instruction set is compared with the substitution priority order information corresponding to the entry concerned out of the information 51 to 54 and which line is to be substituted is determined by a determining mechanism.



COPYRIGHT: (C)1994,JPO&amp;Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-59977

(43)公開日 平成6年(1994)3月4日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 12/08

識別記号

庁内整理番号

E 7608-5B

F I

技術表示箇所

審査請求 未請求 請求項の数6(全10頁)

(21)出願番号 特願平4-229132

(22)出願日 平成4年(1992)8月5日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岩田 英次

東京都品川区北品川6丁目7番35号 ソニー株式会社内

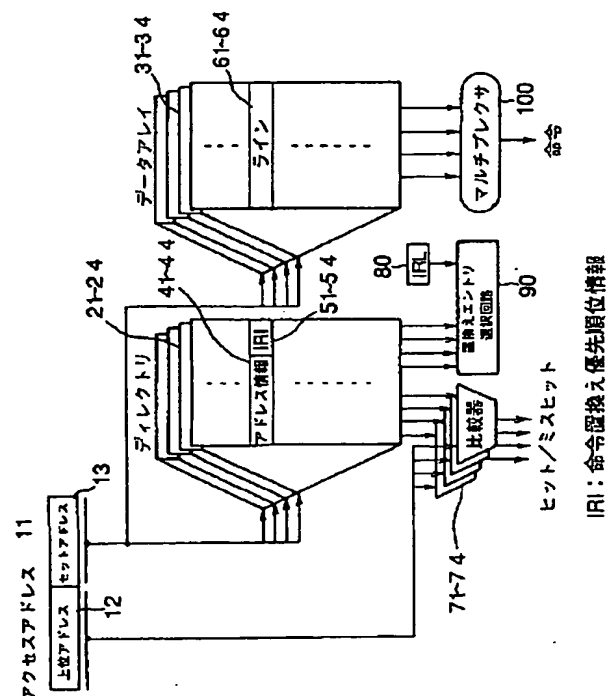
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 明示的なライン置換え操作が可能なキャッシュメモリとその制御方法

(57)【要約】

【目的】 命令サイズの増大によって実行時間が増加せず、明示的なライン置換え操作が可能なキャッシュメモリとその制御方法を提供する。

【構成】 プロセッサの命令セット中に命令置換え優先順位指定フィールド(IRL)1を設け、プロセッサのロード/ストア命令セット中にデータ置換え優先順位指定フィールド(DRL)2を設け、キャッシュメモリの各エントリ中に置換え優先順位情報(IRI)51~54を設け、キャッシュメモリにおける命令あるいはデータのライン置換え時に命令セット中の上記命令置換え優先順位指定フィールドあるいは上記データ置換え優先順位指定フィールドと当該エントリ中の上記置換え優先順位情報を比較していずれのラインの置換えを行うかを決定する機構を設ける。



1

## 【特許請求の範囲】

【請求項1】 キャッシュメモリを有する計算機システムにおいて、

プロセッサの命令セット中に命令置換え優先順位指定フィールドを有し、

プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを有し、

キャッシュメモリの各エントリ中に置換え優先順位情報を有し、

キャッシュメモリにおける命令あるいはデータのライン置換え時に上記命令置換え優先順位指定フィールドあるいは上記データ置換え優先順位指定フィールドと上記置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定する機構を有することを特徴とするキャッシュメモリ。

【請求項2】 命令用およびデータ用にそれぞれ独立した命令用キャッシュメモリおよびデータ用キャッシュメモリを有する計算機システムにおいて、

プロセッサの命令セット中に命令置換え優先順位指定フィールドを有し、

プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを有し、

前記命令用キャッシュメモリの各エントリ中に命令置換え優先順位情報を有し、

前記データ用キャッシュメモリの各エントリ中にデータ置換え優先順位情報を有し、

命令用キャッシュメモリにおけるライン置換え時に上記命令置換え優先順位指定フィールドと上記命令置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定する機構を有し、

データ用キャッシュメモリにおけるライン置換え時に上記データ置換え優先順位指定フィールドのフィールドと上記データ置換え優先順位情報の情報とを比較していずれのラインの置換えを行うかを決定する機構を有することを特徴とするキャッシュメモリ。

【請求項3】 プロセッサの命令セット中に命令置換え優先順位指定フィールドを設け、

プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを設け、

キャッシュメモリの各エントリ中に置換え優先順位情報を設け、

キャッシュメモリにおける命令あるいはデータのライン置換え時に命令セット中の命令置換え優先順位指定フィールドあるいはデータ置換え優先順位指定フィールドと当該エントリ中の置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定する機構を設けたことを特徴とするキャッシュメモリを有する計算機システム。

【請求項4】 キャッシュメモリを有する計算機システムにおけるキャッシュメモリの制御方法であって、 プロセ

2

ッサの命令セット中に命令置換え優先順位指定フィールドを規定し、プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを規定し、キャッシュメモリの各エントリ中に置換え優先順位情報を規定し、キャッシュメモリにおける命令あるいはデータのライン置換え時に上記命令置換え優先順位指定フィールドあるいは上記データ置換え優先順位指定フィールドと上記置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定することを特徴とするキャッシュメモリの制御方法。

【請求項5】 命令用およびデータ用にそれぞれ独立した命令用キャッシュメモリおよびデータ用キャッシュメモリを有する計算機システムにおけるキャッシュメモリの制御方法であって、プロセッサの命令セット中に命令置換え優先順位指定フィールドを規定し、プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを規定し、前記命令用キャッシュメモリの各エントリ中に命令置換え優先順位情報を規定し、前記データ用キャッシュメモリの各エントリ中にデータ置換え優先順位情報を規定し、命令用キャッシュメモリにおけるライン置換え時に上記命令置換え優先順位指定フィールドと上記命令置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定し、データ用キャッシュメモリにおけるライン置換え時に上記データ置換え優先順位指定フィールドのフィールドと上記データ置換え優先順位情報の情報とを比較していずれのラインの置換えを行うかを決定することを特徴とするキャッシュメモリの制御方法。

【請求項6】 プロセッサの命令セット中に命令置換え優先順位指定フィールドを規定し、プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを規定し、キャッシュメモリの各エントリ中に置換え優先順位情報を規定し、キャッシュメモリにおける命令あるいはデータのライン置換え時に命令セット中の命令置換え優先順位指定フィールドあるいはデータ置換え優先順位指定フィールドと当該エントリ中の置換え優先順位情報を比較していずれのラインの置換えを行うかを決定することを特徴とするキャッシュメモリの制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば、汎用計算機の技術分野で用いられるキャッシュメモリに関するものである。

【0002】

【従来の技術】 キャッシュメモリの基本事項について述べる。

(1) 基本原理

計算機における命令あるいはデータのメモリ参照は、ある小さな時間間隔で見た場合、メモリの局所的な領域に

集中することが知られている。これをプログラムの参照局所性と呼ぶ。そこで、この参照局所性を利用して、頻繁に参照される領域を主メモリより高速で小容量のバッファメモリにハードウェアが自動的に移して常駐させることにより、メモリアクセスを実質的に高速化する手法がある。このバッファメモリをキャッシュメモリと呼ぶ。キャッシュメモリを概念を図4に示す。キャッシュメモリA2は、プロセッサA1が命令フェッチあるいはデータフェッチを行う際にアクセスされる。所望の命令あるいはデータがキャッシュメモリA2に存在した場合、プロセッサA1は当該命令あるいはデータをキャッシュメモリA2から得る。これをヒットと呼ぶ。ヒットする確率（これをヒット率と呼ぶ）が高いほど、プロセッサA1の平均アクセス時間は短縮され、計算機性能は向上する。また、所望の命令あるいはデータがキャッシュメモリA2に存在しなかった場合、メモリA3がアクセスされ、プロセッサA1は当該命令あるいはデータをメモリA3から得る。これをミスヒットと呼ぶ。

#### 【0003】(2) 基本構成

図5にキャッシュメモリの基本構成を示す。メモリとキャッシュメモリは、ライン（通常16～128バイト程度、ブロックとも呼ぶ）を単位として、アドレスにより対応付けられている。通常ラインには複数の命令あるいはデータが格納されている。図5に示すように、キャッシュメモリは、格納しているラインのアドレス等の情報を持つディレクトリB5と、ラインそのものを格納するデータアレイB6からなる。ディレクトリB5のアドレス等の情報格納領域B7（これをタグと呼ぶ）とデータアレイB6の個々のライン格納領域B8は1対1に対応している。これら1対の領域をエントリ（B7およびB8）と呼ぶ。したがって、キャッシュメモリは、エントリ数だけラインを格納できる。キャッシュメモリの容量は、総エントリ数×ラインサイズとなる。

【0004】以下、キャッシュメモリの種々の構成法について述べる。

#### (a) 単一／分離キャッシュメモリ

命令用とデータ用に分かれて存在しているキャッシュメモリを分離キャッシュメモリと呼ぶ。プロセッサが命令用バスとデータ用バスを独立して持っている構成（ハーバード・アーキテクチャと呼ぶ）を採っている場合、分離キャッシュメモリを採用して命令フェッチとデータフェッチを並行に行うことにより、性能向上が図れる。

#### (b) 連想度

キャッシュメモリとメモリとの対応のさせ方として、下記に述べる2方式がある。

#### (i) フル・アソシアティブ方式

キャッシュメモリの任意のエントリにメモリの任意のラインを格納できる方式である。最も高速で最もヒット率が高くなるが、比較器がエントリ数分だけ必要となるため、ハードウェア構成は複雑でコスト高となる。キャッ

シュメモリがよほどの小容量でない限り、一般にはあまり用いられていない。

#### (ii) セット・アソシアティブ方式

キャッシュメモリのエントリとメモリのラインの対応をそのラインのアドレスの一部（セットアドレスと呼ぶ）を用いて限定する方式である。キャッシュメモリはセットアドレスでアクセスされるセット（1つあるいは複数のエントリからなる）に分割されている。キャッシュメモリの同一セット中のエントリ数を連想度と呼ぶ。この方式では、比較器の数は連想度分あればよいので、ハードウェア・コストが抑えられる。連想度=1のセット・アソシアティブ方式を特にダイレクト・マッピング方式と呼ぶ。

#### (c) ライン置換えアルゴリズム

ラインフェッチ時に、ミスヒットを起こしたラインに対応するセットの全てのエントリに既にラインが格納されていた場合、いずれかのエントリを選択してラインの置換えを行う必要がある。例えば、キャッシュメモリが連想度4のセット・アソシアティブ方式であるとする、置換え対象となるエントリは4個存在することになる。この選択のアルゴリズムをライン置換えアルゴリズムと呼ぶ。よく使用されるアルゴリズムとして、LRU（Least Recently Used）がある。この方式では、最も遠い過去に参照されたラインを置換え対象とする。他にも、FIFO（First In First Out）方式や Random 方式などがある。

#### (d) メモリ更新アルゴリズム

キャッシュメモリに存在するライン中のデータに書き込みが発生した場合に、いつメモリに書き込みを行うかを決定するアルゴリズムをメモリ更新アルゴリズムと呼ぶ。一般に用いられるアルゴリズムは、下記に挙げる2つである。

(i) ライトスルー方式：キャッシュメモリに存在するライン中のデータに書き込みが発生した時点でメモリにも同時に書き込む方式。

(ii) コピーバック方式：キャッシュメモリに存在するライン中のデータに書き込みが発生した時点ではキャッシュメモリのみに書き込み、そのラインがリプレース対象になった時点でメモリに書き込む方式。

#### 【0005】(3) 動作

キャッシュメモリの動作を図5を用いて説明する。なお、図5のキャッシュメモリは、単一キャッシュメモリで、連想度は1（ダイレクト・マッピング方式）である。まず、プロセッサが命令あるいはデータフェッチ時にアクセスアドレスB1を出力したとする。すると、キャッシュメモリ制御部はディレクトリB5をアクセスアドレスB1の一部（セットアドレスB3と呼ぶ）によりアクセスする。同時にデータアレイB6を、セットアドレスB3およびライン内アドレスB4によりアクセスする。さらに、アクセスアドレスB1の上位部分B2とデ

ィレクトリB5のアクセス結果であるアドレス情報を比較器B9により比較して、一致した場合ヒットとなる。ヒットした場合、プロセッサはデータアレイB6から読み出された命令あるいはデータB10をフェッチする。ミスヒットの場合、プロセッサはデータアレイから読み出された命令あるいはデータB10を無視する。ミスヒットした場合、プロセッサはメモリから命令あるいはデータを得るわけであるが、この際に当該命令あるいはデータを含むラインがデータアレイB6の所定のライン格納領域B8に格納され、そのラインのアドレスの上位部分10がディレクトリB5の対応するタグにアドレス情報B7として格納される。これをラインフェッチと呼ぶ。

【0006】従来のキャッシュメモリについて述べる。従来、キャッシュメモリのライン置換えは、あるアルゴリズム、例えば、LRUに従ってハードウェアにより管理されていた。したがって、使用頻度の高い命令やデータあるいは迅速な応答が要求される命令、例えば、割り込みルーチンであっても、アルゴリズムによってはキャッシュメモリに常駐することができず、性能低下を招いていた。これは、命令やデータの置換え優先度をハードウェアに認識させる手段が提供されていなかったためである。そこで、キャッシュメモリのエン트리毎にライン置換えを禁止する機構（ロック機構と呼ぶ）が用いられる。この機構では、キャッシュメモリの各エントリにライン置換え禁止ビット（L）と呼ぶ1ビット情報を持たせる。さらに、そのビットの値により、以下のように当該エントリのライン置換えを行うか否かを決定する。L=1の場合 当該エントリのライン置換えを行わない。

L=0の場合 当該エントリのライン置換えを行う。したがって、キャッシュメモリに常駐させたい命令やデータを格納しているエントリのライン置換え禁止ビットを1にすれば、そのエントリはライン置換えの対象にはならない。このように、ソフトウェアがライン置換え禁止ビットをプログラムすることにより、使用頻度の高い命令やデータあるいは迅速な応答が要求される命令をキャッシュメモリに常駐させることが可能となる。

【0007】

【発明が解決しようとする課題】ところが、上記のロック機構では、ソフトウェアがキャッシュメモリのディレクトリにアクセスして、常駐させたいラインを格納しているエントリを検索し、さらにそのエントリのライン置換え禁止ビットを操作しなくてはならない。このため、キャッシュメモリのディレクトリの検索およびディレクトリ情報の更新のための専用命令からなるルーチンが必要となる。したがって、複数のラインにまたがるような命令列あるいはデータ列についてライン置換え禁止操作を行おうとすると、複数回上記のルーチンを呼び出す必要が生じる。これにより命令サイズが増大するため、実行時間の増大を招いていた。また、各エントリのライン

置換え禁止ビットを1ビットとしているため、ライン置換えを禁止するか否かの指定しかなかった。

【0008】

【課題を解決するための手段】上述した課題を解決するために、本発明の基本的構想は、プロセッサの命令セット中に命令置換え優先順位指定フィールドを設け、プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを設け、キャッシュメモリの各エントリ中に置換え優先順位情報を設け、さらに、キャッシュメモリにおける命令あるいはデータのライン置換え時に命令セット中の命令置換え優先順位指定フィールドあるいはデータ置換え優先順位指定フィールドと当該エントリ中の置換え優先順位情報を比較していずれのラインの置換えを行うかを決定する機構を設ける。

【0009】したがって、本発明の第1の観点によれば、キャッシュメモリを有する計算機システムにおいて、（A）プロセッサの命令セット中に命令置換え優先順位指定フィールドを有し、（B）プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを有し、（C）キャッシュメモリの各エントリ中に置換え優先順位情報を有し、（D）キャッシュメモリにおける命令あるいはデータのライン置換え時に上記命令置換え優先順位指定フィールドあるいは上記データ置換え優先順位指定フィールドと上記置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定する機構を有することを特徴とするキャッシュメモリが提供される。また本発明によれば、上記キャッシュメモリを制御する方法が提供される。

【0010】本発明の第2の観点によれば、命令用およびデータ用にそれぞれ独立した命令用キャッシュメモリおよびデータ用キャッシュメモリを有する計算機システムにおいて、（A）プロセッサの命令セット中に命令置換え優先順位指定フィールドを有し、（B）プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを有し、（C）前記命令用キャッシュメモリの各エントリ中に命令置換え優先順位情報を有し、（D）前記データ用キャッシュメモリの各エントリ中にデータ置換え優先順位情報を有し、（E）命令用キャッシュメモリにおけるライン置換え時に上記命令置換え優先順位指定フィールドと上記命令置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定する機構を有し、（F）データ用キャッシュメモリにおけるライン置換え時に上記データ置換え優先順位指定フィールドのフィールドと上記データ置換え優先順位情報の情報とを比較していずれのラインの置換えを行うかを決定する機構を有することを特徴とするキャッシュメモリが提供される。また本発明によれば、上記キャッシュメモリの制御方法で提供される。

【0011】さらに本発明の第3の観点によれば、

（A）プロセッサの命令セット中に命令置換え優先順位

位指定フィールドを設け、(B)プロセッサのロード／ストア命令セット中にデータ置換え優先順位指定フィールドを設け、(C)キャッシュメモリの各エントリ中に置換え優先順位情報を設け、(D)キャッシュメモリにおける命令あるいはデータのライン置換え時に命令セット中の命令置換え優先順位指定フィールドあるいはデータ置換え優先順位指定フィールドと当該エントリ中の置換え優先順位情報とを比較していずれのラインの置換えを行うかを決定する機構を設けたことを特徴とするキャッシュメモリを有する計算機システムが提供される。また本発明によれば、上記キャッシュメモリを有する計算機システムにおけるキャッシュメモリの制御方法が提供される。

#### 【0012】

【作用】上記の構成によれば、キャッシュメモリに常駐させたい命令の命令置換え優先順位指定フィールド、あるいは、常駐させたいデータに対するロード／ストア命令のデータ置換え優先順位指定フィールドをソフトウェアを予め設定しておくことにより、ソフトウェアの指定した優先順位に従って命令あるいはデータのライン置換えを行うことが可能となる。

#### 【0013】

【実施例】以下、図1～図3を参照して、本発明の1実施例を詳述する。

##### (1) 前提

プロセッサおよびキャッシュメモリの仕様として、以下を前提とする。

(a) プロセッサは、ハーバード・アーキテクチャである。すなわち、命令用バスとデータ用バスを独立して持っており、命令フェッチとデータフェッチを並行して行える。

(b) 簡単のため、プロセッサの命令およびデータサイズは、全て1ワードとする。

(c) キャッシュメモリは、命令用およびデータ用にそれぞれ独立して設ける。

(d) 命令用およびデータ用キャッシュメモリは、いずれも連想度4のセット・アソシアティブ方式とする。

(e) 簡単のため、命令用およびデータ用キャッシュメモリのラインサイズは、いずれも1ワードとする。したがって、1ラインは1命令あるいは1個のデータからなる。

(f) メモリ更新アルゴリズムはストアスルー方式とする。したがって、メモリには常に最新のデータが存在する。このため、ライン置換えの際、データをキャッシュメモリからメモリに書き戻す必要がない。

#### 【0014】(2) 機構

図1に、プロセッサの命令セットの例を示す。図1に示すように、通常の命令コードやレジスタ指定子に加えて、命令セットに命令置換え優先順位指定フィールド1を持たせる。このフィールドは、当該命令の置換え時に

おける優先順位を示す。例えば、命令置換え優先順位指定フィールド1を2ビットとすると、4段階の命令置換え優先順位が指定できる。キャッシュメモリにある命令を常駐させたい場合、その命令の命令置換え優先順位指定フィールドの優先順位を低く設定しておけばよい。また、ロード／ストア命令セットには、命令置換え優先順位指定フィールド1に加えて、データ置換え優先順位指定フィールド2を持たせる。このフィールドは、ロード／ストア命令の対象となるデータの置換え時における優先順位を示す。例えば、データ置換え優先順位指定フィールド2を2ビットとすると、4段階のデータ置換え優先順位が指定できる。したがって、キャッシュメモリあるデータを常駐させたい場合、そのデータを対象とするロード／ストア命令のデータ置換え優先順位指定フィールドの優先順位を低く設定しておけばよい。

【0015】図2に、命令用キャッシュメモリの構成を示す。図2に示すように、命令用キャッシュメモリの各エントリのタグ中に、アドレス情報41～44の他に命令置換え優先順位情報51～54を設ける。この情報は、現在当該エントリに格納されているラインの置換え時の優先順位を示す。また、ライン置換え時にキャッシュメモリに格納される命令の命令置換え優先順位指定フィールド80と置換え対象となるエントリ候補の命令置換え優先順位情報51～54の大小比較を行い、ライン置換えを行うエントリを選択する回路90を設ける。

【0016】図3に、データ用キャッシュメモリの構成を示す。図3に示すように、データ用キャッシュメモリの各エントリのタグ中に、アドレス情報41～44の他にデータ置換え優先順位情報111～114を設ける。この情報は、現在当該エントリに格納されているラインの置換え時の優先順位を示す。また、ライン置換え時にキャッシュメモリに格納されるデータのデータ置換え優先順位指定フィールド120と置換え対象となるエントリ候補のデータ置換え優先順位情報51～54の大小比較を行い、ライン置換えを行うエントリを選択する回路90を設ける。

#### 【0017】(3) 動作手順

まず、プログラム実行前に、全ての命令およびデータについてキャッシュメモリのライン置換えの際の優先順位を決定する。これは、全ての命令の命令置換え優先順位指定フィールドおよび全てのロード／ストア命令のデータ置換え優先順位指定フィールドを設定することにより行う。この設定は、最適化コンパイラがコンパイル時に暗黙的に行ってもよいし、ユーザがプログラム中で陽に指定してもよい。

【0018】次に、図2を用いて命令用キャッシュメモリのライン置換え時の動作を順を追って説明する。

ステップ1：プロセッサ（図示せず）の命令フェッチ時にキャッシュメモリにおいてミスヒットが発生し、メモリからミスヒットを起こした命令aがフェッチされる。

10

20

30

40

50

ステップ2：命令用キャッシュメモリ制御部は、上記の命令aを命令用キャッシュメモリに格納しようと試みるが、命令aと同一のセットアドレス13で対応付けられる4個のエントリ全てに既にラインが格納されていた場合、ライン置換えを行う必要が生じる。

ステップ3：命令用キャッシュメモリ制御部は、命令aの命令置換え優先順位指定フィールド80と命令aと同一のセットアドレス13で対応付けられる4個のエントリ中の命令置換え優先順位情報51～54の大小比較を置換えエントリ選択回路90により行い、以下の基準で置換え対象となるエントリを選択する。

(a) 命令置換え優先順位指定フィールド80の値が命令置換え優先順位情報51～54の値のいずれよりも大きい場合

命令aの置換え優先順位が最も高いということであるので、命令aは命令用キャッシュメモリに格納されない。

(b) 命令置換え優先順位情報51～54の値のいずれか(例えばエントリbの命令置換え優先順位情報とする)が、他の命令置換え優先順位情報の値および命令置換え優先順位指定フィールド80の値よりも大きい場合

エントリbの置換え優先順位が最も高いということであるので、エントリbを置換え対象とし、命令aはエントリbに格納される。

(c) 命令置換え優先順位情報51～54の値の最も大きいもの(例えばエントリcの命令置換え優先順位情報とする)が、命令置換え優先順位指定フィールド80の値と等しい場合

エントリcと命令aの置換え優先順位が最も高く、かつ、等しいということであるので、エントリcを置換え対象とし、命令aはエントリcに格納される。

(d) 命令置換え優先順位情報51～54の複数の値(例えばエントリb、エントリcの命令置換え優先順位情報とする)が等しく、かつ、他の命令置換え優先順位情報の値および命令置換え優先順位指定フィールド80の値よりも大きい場合

エントリb、エントリcの置換え優先順位が最も高く、かつ、等しいということであるので、エントリbとエントリcのいずれかを何らかのライン置換えアルゴリズム、例えばLRUにより置換え対象として選択し、命令aは選択されたエントリに格納される。

(e) 命令置換え優先順位情報51～54の複数の値(例えばエントリb、エントリcの命令置換え優先順位情報とする)と命令置換え優先順位指定フィールド80の値が等しく、かつ、他の命令置換え優先順位情報の値よりも大きい場合

エントリb、エントリcおよび命令aの置換え優先順位が最も高く、かつ、等しいということであるので、エントリbとエントリcのいずれかを何らかのライン置換えアルゴリズム、例えばLRUにより置換え対象として選択し、命令aは選択されたエントリに格納される。

(f) 命令置換え優先順位情報51～54の全ての値(エントリb、エントリc、エントリd、エントリeの命令置換え優先順位情報とする)と命令置換え優先順位指定フィールド80の値が等しい場合

エントリb、c、d、eおよび命令aの置換え優先順位が全て等しいということであるので、エントリb、c、d、eのいずれかを何らかのライン置換えアルゴリズム、例えばLRUにより置換え対象として選択し、命令aは選択されたエントリに格納される。

【0019】また、データ用キャッシュメモリのライン置換え時の動作は、上述の命令用キャッシュメモリのライン置換え時の動作と同様に行う。

【0020】以上に述べた実施例は、命令用キャッシュメモリとデータ用キャッシュメモリの両者を独立させて設けた計算機システムにおけるキャッシュメモリの構成とその制御方法について述べたが、上述した命令用キャッシュメモリとデータ用キャッシュメモリとを一体化して1つのキャッシュメモリを設けた場合にも、上記同様、キャッシュメモリを制御することができる。

【0021】

【発明の効果】上述のように本発明によれば、キャッシュメモリに常駐させたい命令の命令置換え優先順位指定フィールド、あるいは、常駐させたいデータに対するロード／ストア命令のデータ置換え優先順位指定フィールドをソフトウェアが予め設定しておくことにより、ソフトウェアがキャッシュメモリのディレクトリにアクセスして常駐させたいラインを格納しているエントリを検索し、さらにそのエントリのライン置換え禁止ビットを操作する必要がなくなる。したがって、キャッシュメモリのディレクトリの検索およびディレクトリ情報の更新のための専用命令からなるルーチンが不要になり、命令サイズが減少し、実行時間が短縮できる。また、命令の命令置換え優先順位指定フィールドあるいはロード／ストア命令のデータ置換え優先順位指定フィールドを複数ビットで構成することにより、多段階の置換え優先順位が指定できるため、使用頻度に応じた命令あるいはデータのライン置換え管理が可能となり、性能が向上する。

【図面の簡単な説明】

【図1】本発明の第1実施例としてのプロセッサの命令セットの例を示す図である。

【図2】本発明の実施例による命令用キャッシュメモリの構成を示すブロック図である。

【図3】本発明の実施例によるデータ用キャッシュメモリの構成を示すブロック図である。

【図4】キャッシュメモリの概念を示すブロック図である。

【図5】図4に示したキャッシュメモリの基本構成を示すブロック図である。

【符号の説明】

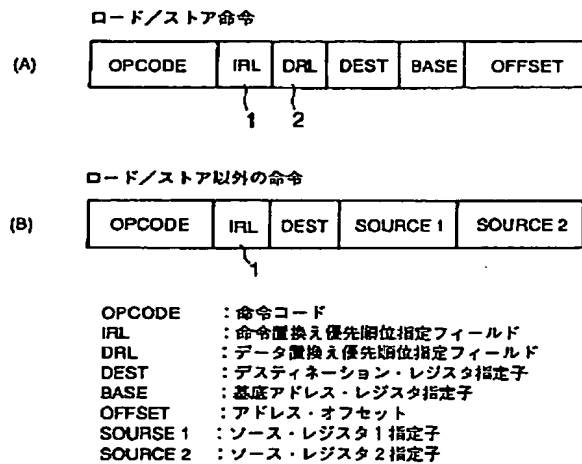
1 命令置換え優先順位指定フィールド

11

- 2 データ置換え優先順位指定フィールド  
 11 アクセス・アドレス  
 12 上位アドレス  
 13 セットアドレス  
 21～24 ディレクトリ  
 31～34 データアレイ  
 41～44 アドレス情報  
 51～54 命令置換え優先順位情報  
 61～64 ライン  
 71～74 比較器

\*10

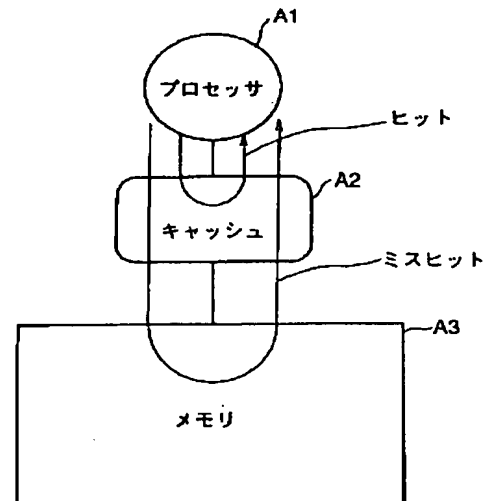
【図1】



12

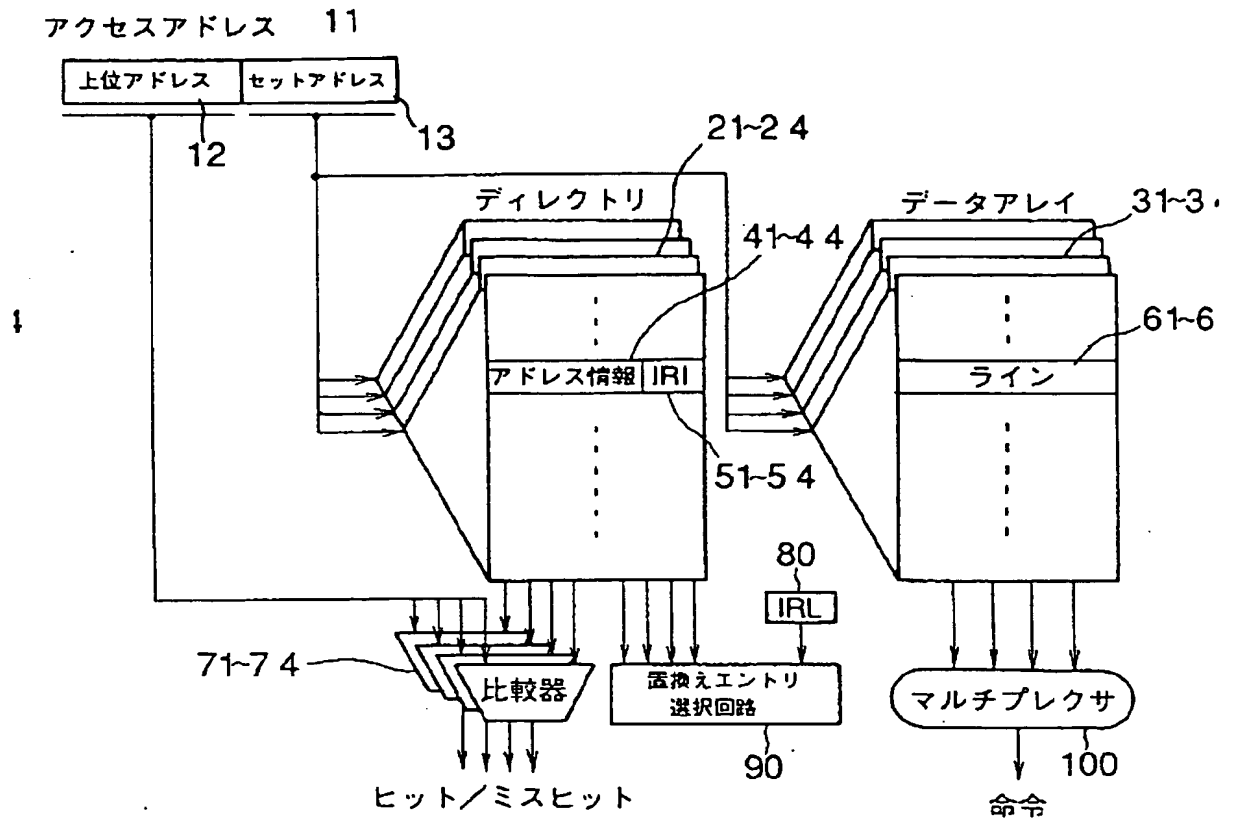
- \*80 命令置換え優先順位指定フィールドの値  
 90 置換えエントリ選択回路  
 100 マルチプレクサ  
 111～114 データ置換え優先順位情報  
 120 データ置換え優先順位指定フィールドの値  
 A1 プロセッサ  
 A2 キャッシュ  
 A3 メモリ  
 B1 アクセスアドレス

【図4】



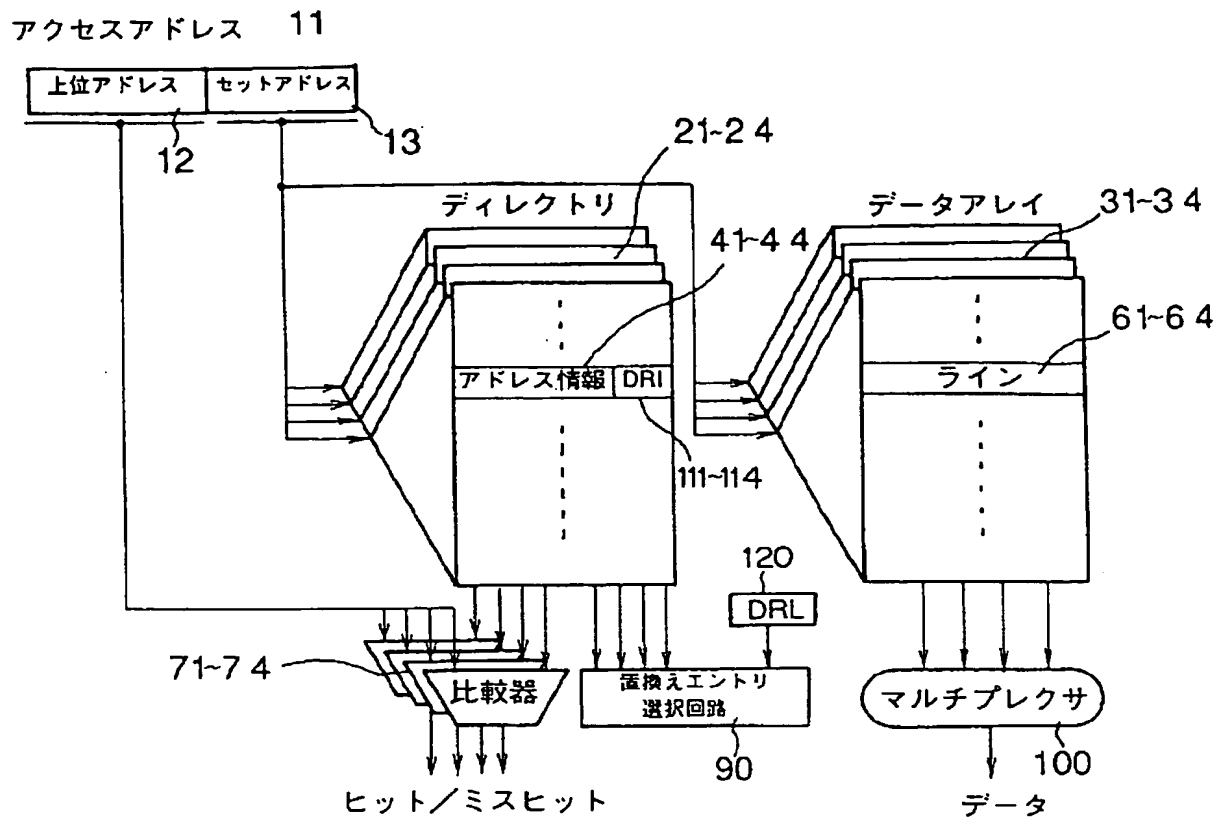


【図2】



IRI：命令置換え優先順位情報

【図3】



DRL: データ置換え優先順位情報

【図5】

